

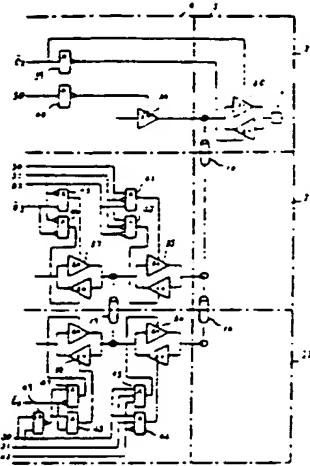
~~SECRET~~
B68

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(11) 63-52463 (A) (43) 5.3.1988 (19) JP
(21) Appl. No. 61-195433 (22) 22.8.1986
(71) HITACHI LTD (72) HIDEKAZU MINAMI
(51) Int. Cl. H01L27.00, H01L21.66, H01L25.08

PURPOSE: To improve diagnosing data forming efficiency by providing means for cutting a logic signal between chip layers with respect to a circuit, and means for connecting chips via a diagnosing through hole, and selecting at least one of a plurality of laminating chips to diagnose it.

CONSTITUTION: At a normal operation time, signals S_o , S_i are both "0", a dry state gate 34 is a connected state, bidirectional dry state gates 37, 38 are connectable state, and bidirectional dry state gates 35, 36 are disconnected state. Accordingly, logic units 4 of all chip layers become operative. A signal fed via the gates 37, 38 and a logic through hole 17 between chips is fed from a third chip layer 22 to a second chip layer 21 when an O_o signal is "0", and fed from the layer 21 to the layer 22 when the O_o signal is "1". The logic unit 4 of a first chip layer 20 is selected when S_o is "0" and S_i is "1", of the layer 21 is selected when S_o is "1" and S_i is "0", and of the layer 22 is selected when both both S_o and S_i are both "1", and the layer is diagnosed via the diagnosing through hole 15 between the chips.



(25 777)

⑪ 公開特許公報 (A) 昭63-52463

⑫ Int.Cl.

H 01 L 27/00
21/66
25/08

識別記号

301

厅内整理番号

B-8122-5F
7168-5F
B-7638-5F

⑬ 公開 昭和63年(1988)3月5日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 半導体集積回路

⑮ 特願 昭61-195433

⑯ 出願 昭61(1986)8月22日

⑰ 発明者 南英一 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑱ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代理人 弁理士 小川勝男 外1名

明細書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

レジスタアップを遮蔽物を介して複数個設置した3次元実装の半導体集積回路において、所定の論理機能を果たす各層における論理部と、該論理部と外部回路とを接続する入出力部と、複数されたアップの論理部同士を接続するアップ間論理用スルーホールと、アップ間診断用スルーホールとは別に診断用としてアップ間に設けた診断用スルーホールと、前記アップ間論理用スルーホール及びアップ間診断用スルーホールを回路的に並び、切換する手段とからなり、該手段は集積回路の通常動作時には前記アップ間論理用スルーホールを接続状態、前記アップ間診断用スルーホールを切換状態とし、診断時にはアップ間診断用スルーホールを切換状態とするよう制御し、複数された複数個のアップのうち、少なくとも1つを選択して診断

できるようにしたことを特徴とする半導体集積回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、レジスタアップを複数個3次元に複数した半導体集積回路に関する。

(従来の技術)

半導体集積回路はゲート規模の増大の一途を辿っており、最近では1アップが数万ゲート~十数万ゲートのものもできている。半導体集積回路のゲート規模を増大させるために採られた手段には次のようなものがある。

(I) 回路電子を含めた配線の微細化

(II) 半導体基板の大形化

(III) ハイブリッド実装

これらは、いずれも2次元の範囲内でのゲート規模の増大をねらったものである。

ところで、今後ゲート規模を飛躍的に拡大するには、アップの3次元構造が必須であり、現に3層の三次元回路の試作例が公知(コンピュータテ

マイン(COMPUTER DESIGN) 1985年5月号 P.23-24にある。この例は各チップ毎にそれぞれ單純化動作するものであり、スルーホールによりチップ間が回路的につながり動作をするものではない。しかしチップをスルーホールで介して回路的につなぐ研究も進んでおり、現に実用されたチップがスルーホールで実現された多層化回路の試作例が明日新聞 1986年2月5日号 P.16に紹介されている。

(発明が解決しようとする問題点)

発明が解決される。5次元回路の研究が進むれば、1個の半導体集成
回路は取10万~数100万ゲートの規模となる。一方、ゲート数の増大
に伴うビン数は実装上の制約から、ゲート数の増大
に比例して増えることは期待できない。そのため
かから半導体集成回路の診断を如何にするかの問
題点が生じる。現に今でも診断データの作成には
多大の工数と計算機使用時間を要しているのが現
状である。ゲート規模が増えれば、テストデータ
の量を増やしても限られたビン数のもとでは診断
効率の向上が認められない。またゲート規模が診断ブ

「切断する手段により、診断時にはナップ間論理用スルーホールを切断式想、ナップ間診断用スルーホールを医療衣類として診断を可配とする。」

(先駆の英烈集)

以下、本発明の実施例を図面により説明する。
 第1図は本発明の基本となる半導体集積回路の断面構造図であり、半導体集積回路1は絶縁層3を介してチップ層2が複数個積層されている。同図ではチップ層2には4個の端子を示している。各チップ層2は、論理部4と入出力部5から成り、論理部4は集積回路の所定の論理機能を構成する部分であり、また入出力部5は集積回路が外部と信号を伝達する部分である。

第2回は、最上位層のチップ階2の平面構成図である。出入力部5には出入力ゲート8がある。出入力ゲート8の一方は信号用ボンディングパッド6と接続し、他方は診断用パッド9を介して電極4と接続する。出入力部5には電源供給用パッド7も設置されている。論理部1には複数回路の基本電子であるセル10があり、該セル10

プログラムの処理能力を最大限に活用して、診断データを作成できなくなることもあります。

本発明の目的は、把柄を介して試油された半導体検査回路において、試油された複数個のチップをスルーホールで接続した半導体検査回路において、試油された複数個のチップのうち、少なくとも1つを選択して診断できる半導体検査回路を提供することにある。

（問題点を解決するための手段）

（問題点を解説）――

本発明の特徴とするとところは、絶縁物を介して複数個のシリカゲルをスルーホールで接続した半導体検査回路において、該複数個のシリカゲルのうち、少なくとも一つを選択して診断できるようにするため、所望の機能を構成する論理回路を接続するシリカゲル用スルーホールおよび、該シリカゲル用スルーホールとは別に診断用としてシリカゲル間に設けたシリカゲル間診断用スルーホールを回路的に接続ならびに切替する手段を設ける。

(作用)

チップ間診断用スルーホールを回路的に実現。

は図示していない逆戻橋を介して積層された3層の直交する配線で相互に接続される。即ちこれら配線層は、第1層配線11、第1層配線11と直交する第2層配線12、第2層配線12と直交し第1層配線11と平行する第3層配線13から成る。第1層配線11はセル10のゲート配線の役目も有する。第1層配線11と第2層配線12とはチップ内第1種スルーホール14で接続する。第2層配線12と第3層配線13とはチップ内第2種スルーホール15で接続する。

第3回は下位層のチャップ層2の平面構成図である。同一符号のものは、第2回に述べたものと同様の分子母を示す。第3回は出入力回路5の構成要素が第2回と異なる。第3回には出入力ゲート8とは専用ボンディングパッド6がない。全てのチャップ層2の電線供給用パッド7は図示していない。スルーホールを介して接続する。

第1回は本説明の集積回路の人出力端子によ
るテープ間のつながりを示している。入出力ゲー
トと変換する診断用パッド9はテープ間接続用

3(2)

作成で

これた様
えした半
此のナ
診断でき
。

を介して
ホール
を通過され
つを選択
つ機能を構
成用スル
ホール
たタップ間
らびに切替

的につなぐ。

番された 3 層
、即ちこれら
層 11 と直交す
て交し第 1 層底
まら。第 1 層底
も有する。第 1
層内第 1 層スル
層 12 と第 3 層スル
ホール 15 で接続す

平面構成図であ
述べたものと同
刀部 5 の構成要
入出力ゲート 8
ない、全てのテ
(図示していよい

入出力部 5 にかけ
いる。入出力ゲー
はタップ間診断用

スルーホール 16 を介して他のタップ層 2 の診断用
バッド 9 と接続する。

第 5 図は本発明の構成回路の論理部 4 における
タップ間つながりを示している。ゲート 10 と接
続するバッド 19 はタップ間論理用スルーホール 17
を介して他のタップ層 2 のバッド 10 と接続する。

本発明の半導体構成回路の構成例では、各タ
ップ層 2 で共通に使用される信号（以下タップ層共
用信号という）がある。タップ層共用信号には、
スキャン系信号（スキャンモード信号、スキャン
アドレス信号、スキャンクロック信号、スキャン
データ信号）、システムリセット信号、システム
クロック信号、タップ層選択信号がある。

第 6 図はスキャンデータ信号を除くタップ層共
用信号の経路を示す接続図である。第 1 タップ層
20 においては信号用ポンディングバッド 6 が入力
ゲート 19 の入力端子に接続する。入力ゲート 19
の出力端子はタップ間診断用スルーホール 16 を介
して第 2 タップ層 21 及び第 3 タップ層 22 における
論理部 4 内ゲート 23, 24, 25 の入力端子と接続

切断又は接続する 1 つの回路構成例である。同一
符号のものは、これまでに述べたものと同一の文
字等を示す。同図について、第 3 タップ層 22 のト
ライステートゲート 27 は出力端子が該層の他のト
ライステートゲート 64 の入力端子へ、またタップ
間論理用スルーホール 17 を介して第 2 タップ層 21
のトライステートゲート 26 の入力端子へ、さらに
第 2 タップ層 21 の他のトライステートゲート 63 の
出力端子へそれぞれ接続する。また、第 3 タップ
層 22 のトライステートゲート 64 の出力端子は、タ
ップ間診断用スルーホール 16 を介して第 2 タップ
層 21 のトライヘイトゲート 65 の入力端子へ、さ
らに別のタップ間診断用スルーホール 16 を介して
第 1 タップ層 20 のトライステートゲート 62 の出
力端子及びに入出力双方向トライステートゲート
65 の論理端子と接続する。入出力双方向トライ
ステートゲート 65 の他の端子はポンディングバ
ッド 6 と接続する。入出力双方向トライステート
ゲート 65 で出力トライステートゲートのイネーブ
ル端子は出力制御信号 01 と接続し、入力トライス

する。

次にタップ層共用信号のうち、タップ層選択信
号について説明する。このタップ層選択信号には
S0 と S1 の 2 本がある。S0 と S1 の値を変えるこ
とににより、第 7 図に示すように 4 つの状態を作れる。
つまり S0, S1 がともに “0” のとき該構成回路は
通常動作状態である。また S0 が “0”, S1 が “1”
のとき第 1 タップ層 20 が診断状態、S0 が “1”,
S1 が “0” のとき第 2 タップ層 21 が診断状態、そ
して S0, S1 がともに “1” のとき第 3 タップ層
22 が診断状態となるものである。そこで、通常動
作状態ではタップ間論理用スルーホール 17 は回路
的に接続状態とし、タップ間診断用スルーホール
16 は回路的に切断状態とする。診断状態ではタッ
プ間論理用スルーホール 17 は回路的に切断状態、
タップ間診断用スルーホール 16 は回路的に接続状
態とし、所望のタップ層を選択して診断できる。

以下、通常動作状態とタップ層診断状態につい
て、第 8 図～第 10 図により述べる。

第 8 図は、タップ層間スルーホールを回路的に

接続する回路構成例である。同一符号のものは、これまでに述べたものと同一の文字等を示す。同図について、トライステートゲート 62 のイネーブル端子は出力制御信号 01 を反転するインバートゲート 28 の出力端子と接続する。トライステートゲート 62 のイネーブル端子はタップ層選択信号 S0 を反転するインバートゲート 29 の出力端子と接続する。トライステートゲート 63 のイネーブル端子は論理積ゲート 30 の出力端子と接続する。論理積ゲート 30 の入力端子はノンブロッケーション信号 S0, S1 の否定信号と接続する。トライステートゲート 64 のイネーブル端子は論理積ゲート 32 の出力端子と接続する。トライステートゲート 64 のイネーブル端子は論理積ゲート 32 の出力端子と接続する。論理積ゲート 32 の入力端子はタップ層選択信号 S0, S1 と接続する。トライステートゲート 27 のイネーブル端子は論理積ゲート 33 の否定出力端子と接続する。論理積ゲート 33 の入力端子はタップ層選択信号 S0, S1 と接続する。

以上のような構成であるので、タップ層選択信
号 S0, S1 を次のように選ぶことにより各タップ
層間を回路的に切断又は接続することができる。

即ち、通常動作時は S₀, S₁ がともに "0" で
あり、トライステートゲート 62, 26, 27 が接続
状態、トライステートゲート 63, 64 が切断状態
となる。したがって、各層の論理部は全てが動作
状態となる。

第 1 チップ層 20 の診断時は、S₀ が "0", S₁
が "1" であり、トライステートゲート 62 が接
続状態、トライステートゲート 63, 64, 26, 27
が切断状態となる。つまり第 1 チップ層 20 のみ導
通が確保でき、該層 20 の診断ができる。

第 2 チップ層 21 の診断時は、S₀ が "1", S₁
が "0" であり、トライステートゲート 63, 26
が接続状態、トライステートゲート 62, 64, 27
が切断状態となるので、第 2 チップ層 21 のみの導
通が確保でき、該層 21 の診断ができる。

第 3 チップ層 20 の診断時は、S₀, S₁ がともに
"1" であり、トライステートゲート 64, 27 が接
続状態、トライステートゲート 62, 63, 26 が切
断状態となるので、該層 22 の診断ができる。

図 9 図は本発明のチップ間スルーホールを回路

的に切断または接続する他の回路構成例である。

第 2 チップ層 21 の双方向トライステートゲート
37 の出力端子は、同チップ層 21 の他の双方向
トライステートゲート 35 の入力端子、チップ間
論理用スルーホール 17 を介して第 3 チップ層 22
の双方向トライステートゲート 38 の出力端子、
および同チップ層 22 の他の双方向トライステート
ゲート 36 の入力端子と接続する。第 2 チップ層
21 の双方向トライステートゲート 35 の出力端子は、
チップ間診断用スルーホール 16 を介して第
3 チップ層 22 の双方向トライステートゲート 36 の
出力端子、また別のチップ間診断用スルーホー
ル 16 を介して第 1 チップ層 20 のトライステートゲ
ート 34 の出力端子、同チップ層 20 の入出力部 双方
向トライステートゲート 60 の入力端子と接続す
る。入出力部 双方向トライステートゲート 60 の出
力端子はポンディングパッド 5 と接続する。入
出力 双方向トライステートゲート 60 で出力トライ
ステートゲートのイネーブル端子は出力制御信号
02 と接続し、入力トライステートゲートのイネー
ブル端子は

ブル端子は出力制御信号 02 を反転するインバート
ゲート 39 の出力端子と接続する。双方向トライス
テートゲート 37 の出力端子トライステートゲートのイ
ネーブル端子は論理積ゲート 43 の出力端子と接
続し、入力トライステートゲートのイネーブル端子
は論理積ゲート 44 の出力端子と接続する。双方向
トライステートゲート 35 の出力端子トライステートゲ
ートのイネーブル端子は論理積ゲート 41 の出力端
子と接続し、入力トライステートゲートのイネー
ブル端子は論理積ゲート 42 の出力端子と接続する。
双方向トライステートゲート 38 の出力端子トライス
テートゲートのイネーブル端子は論理積ゲート 47
の出力端子と接続し、入力トライステートゲート
のイネーブル端子は論理積ゲート 48 の出力端子と
接続する。双方向トライステートゲート 36 の出力
トライステートゲートのイネーブル端子は論理積
ゲート 45 の出力端子と接続し、入力トライステー
トゲートのイネーブル端子は論理積ゲート 46 の出
力端子と接続する。トライステートゲート 34 のイ
ネーブル端子はチップ層間信号 S₀ を反転するイ

ンバートゲート 40 の出力端子と接続する。論理積
ゲート 43 の入力端子は S₁ の否定信号、出力制御信
号 03 と接続する。論理積ゲート 44 の入力端子は S₁
の否定信号、03 の否定信号と接続する。論理積ゲ
ート 41 の入力端子は S₀ 信号、S₁ の否定信号、出力
制御信号 02 の否定信号と接続する。論理積ゲート
42 の入力端子は S₀ 信号、S₁ の否定信号、02 の否定
信号と接続する。論理積ゲート 47 の入力端子は
他の論理和ゲート 49 の否定出力端子、03 の否定信
号と接続する。論理積ゲート 48 の入力端子は
他の論理和ゲート 49 の否定出力端子、03 信号と接
続する。論理積ゲート 45 の入力端子は S₀ 信号
S₁ 信号と接続する。論理積ゲート 46 の入力端子は
S₀ 信号、S₁ 信号、02 信号と接続する。論理積ゲ
ート 46 の入力端子は S₀ 信号、S₁ 信号、02 の否定信
号と接続する。

以上のような構成であるので、チップ層間信号
S₀, S₁ により以下の通りチップ層間を回路的
に切断または接続することができる。

通常動作時は信号 S₀, S₁ がともに "0" であ

る
事で
層一
層か
接続
信号
の入
戻せ
S₁ の
端子
信号
信
号、
以上
号 S₀
に切
通常
が "0"
が接
52 が切
ト 50 は、

る。
ポート
方向
タブ間
層 22
端子、
・テート
・タブ端
力端子
して第
ト 36 の
ノーホー
テートグ
力部双万
と乗坂す
ト 63 の出
する。入
力トライ
端子信号
のイネー

る。論理積
出力端子は S1
。論理積グ
信号、出力
端子は S1
、02 の否定
、力端子は S1
03 の否定信
力端子は S1
13 信号と乗坂
端子は S1 信号
の入力端子は
。論理積ゲー
02 の否定信

タブ層選択信
道間を回路的
に。0” であ

り、トライステートゲート 54 が接続状態、双方向
トライステートゲート 57, 58 が接続可認状態、双
方向トライステートゲート 55, 56 が切断状態とな
る。したがって、全てのタブ層の論理部 4 が動作
状態となる。双方向トライステートゲート 57,
58, タブ間診断用スルーホール 17 を介する信号
は S0 信号が “0” のときは第 3 タブ層 22 から第
2 タブ層 21 へ流れ、S0 信号が “1” のときは第
2 タブ層 21 から第 3 タブ層 22 へ流れる。

S0 が “0” で、S1 が “1” のとき第 1 タブ層
20, S0 が “1” で、S1 が “0” のとき第 2 タブ
層 21, S0, S1 がともに “1” のとき第 3 タブ層
22 の各論理部 4 が選択され、タブ間診断用スル
ーホール 16 を介して個別の診断ができる。

第 10 図は本発明のタブ間スルーホールを回路
的に切断または接続する他の回路構成例であり、
特にデータバス信号に関するものである。

第 1 タブ層 20 の双方向トライステートゲート
50 の出力端子は同タブ層 20 の入出力部 双方向
トライステートゲート 61 の入力端子、第 2 タブ

のイネーブル端子は論理積ゲート 58 の出力端子と
接続し、入力トライステートゲートのイネーブル
端子は論理ゲート 59 の出力端子と接続する。論理
積ゲート 54 の入力端子は S0 の否定信号、S0 信号と
接続する。論理積ゲート 55 の入力端子は S0 の否定
信号、S0 の否定信号と接続する。論理積ゲート 56
の入力端子は S0 信号、S1 の否定信号、S0 信号と
接続する。論理積ゲート 57 の入力端子は S0 信号、
S1 の否定信号、S0 の否定信号と接続する。論理
積ゲート 58 の入力端子は S0 信号、S1 信号、S0
信号と接続する。論理ゲート 59 の入力端子は S0
信号、S1 信号、S0 の否定信号と接続する。

以上のような構成であるので、タブ層選択信号
S0, S1 により以下の通りタブ層間を回路的
に切断または接続することができる。

通常動作時および第 1 タブ層診断時は信号 S0
が “0” であり、双方向トライステートゲート 50
が接続可認状態、双方向トライステートゲート 51,
52 が切断状態となる。双方向トライステートゲー
ト 50 は S0 信号が “0” のときデータを S/I の外

タブ 21 の双方向トライステートゲート 51 の出力端
子、第 3 タブ層 22 の双方向トライステートゲ
ート 52 の出力端子と接続する。タブ層間にタ
ブ間診断用スルーホール 16 で接続する。入出力
部 双方向トライステートゲート 61 の出力端子は
メンディングパッド 6 と接続する。入出力 双方向
トライステートゲート 61 で出力トライステートゲ
ートのイネーブル端子は出力制御信号 S0 と接続し
入力トライステートゲートのイネーブル端子は出
力制御信号 S0 を反転するインバートゲート 53 の出
力端子と接続する。双方向トライステートゲート
50 で出力トライステートゲートのイネーブル端子は
論理積ゲート 54 の出力端子と接続し、入力トライ
ステートゲートのイネーブル端子は論理積ゲー
ト 55 の出力端子と接続する。双方向トライステー
トゲート 51 で出力トライステートゲートのイネー
ブル端子は論理積ゲート 56 の出力端子と接続し、
入力トライステートゲートのイネーブル端子は論
理積ゲート 57 の出力端子と接続する。双方向ト
ライステートゲート 52 で出力トライステートゲート

から取り込み、S0 信号が “1” のときデータを S/I の外へ取り出す。

S0 が “1” で、S1 が “0” のとき第 2 タブ層
21, S0, S1 がともに “1” のとき第 3 タブ層 22
の各論理部 4 が選択され、タブ間診断用スルーホ
ール 16 を介して個別の診断ができる。

なお、第 1 図はタブ層が 3 個の場合を示した
が、2 個以上であれば本発明の本質は変わらない。
また、第 7 図はタブ層選択信号が 2 つ (S0,
S1) の場合を示したが、複数のタブ層の数に
合わせて増してもよい。さらに、通常動作と診断
動作の切り換え、およびタブ層の選択は 2 つの
タブ層選択信号 (S0, S1) で兼ねたが、通常
動作と診断動作の切り換え用の信号を別に 1 つ設
け、前記タブ層選択信号はタブ層の選択のみ
に使用するようにしてもよい。

また、タブ間診断用スルーホール 16 および診
断用パッド 9 は入出力部 5 に示したが、論理部 4
に設けてもよい。

また、本発明の実施例では、一つのタブ層 2

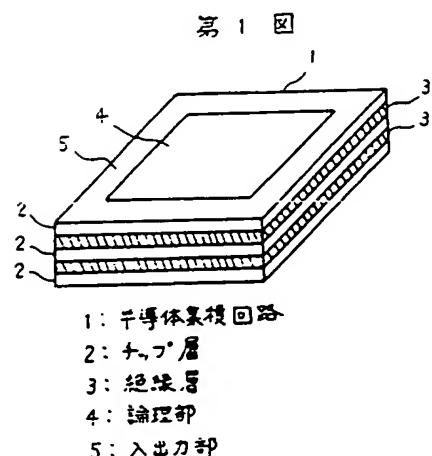
単位に診断する場合を示したが、複数のチップ層2単位に診断するようにしてもよい。

(発明の効果)

以上述べたように、本発明は、半導体集成回路チップを複数個3次元実装した半導体集成回路において、チップ層間の端子端子を回路的に切断する手段、およびチップ間は断続スルーホールを介して接続する手段を組合せて、接続された複数個のチップのうち少なくとも1つを選択して診断できる。このため次のようないくつかの効果が期待できる。

- 集積回路のビンが診断時に増えたのと等価な効果が得られる。
- 診断データの作成成功率が向上する。少ないステップ数で診断率を上げることができる。
- 診断データ作成プログラムの処理可能なゲート規模を超えた集積回路であっても、接続された個々のチップのゲート規模が診断データ作成プログラムの処理可能な範囲であれば診断データを作成することができる。

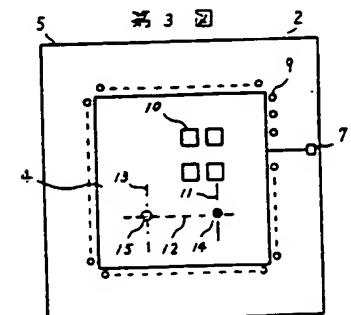
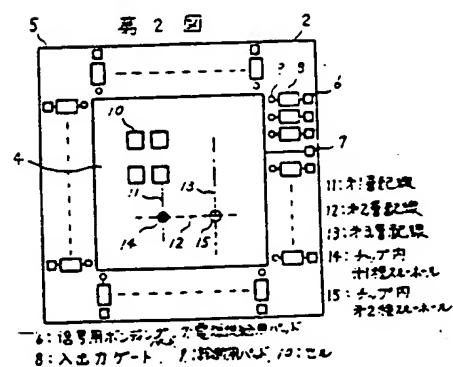
4 図面の簡単な説明



第1図は本発明の一実施例で、半導体集成回路の断面斜視図、第2図と第3図は第1図に示すチップ層の平面構成図、第4図は第1図に示す入出力部の部分拡大斜視図、第5図は第1図に示す論理部の部分拡大斜視図、第6図は第1図の入出力部の1部を示す回路図、第7図はチップ層選択信号を説明する図、第8図乃至第10図は論理部、入出力部の構成例を示す回路図である。

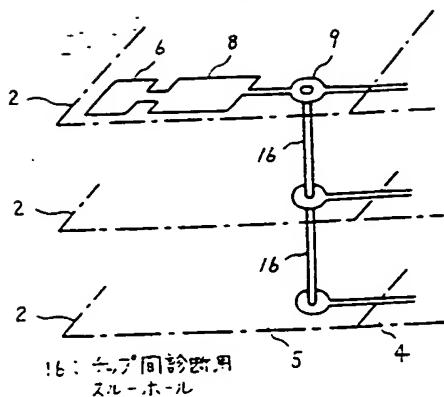
- | | |
|---------------------|----------|
| 1 … 半導体集成回路 | 2 … チップ層 |
| 4 … 論理部 | 5 … 入出力部 |
| 6, 7 … ポンティングパッド | |
| 8 … 入出力ゲート | |
| 16 … チップ間診断用スルーホール | |
| 17 … チップ間接続用スルーホール。 | |

代理人弁護士 小川謙

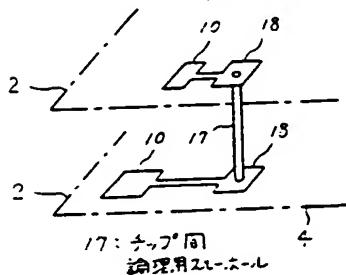


3(6) 案根回
11回 図化
第1回
第1回
チップ
1回はお
る。
一層
1回

第 4 回



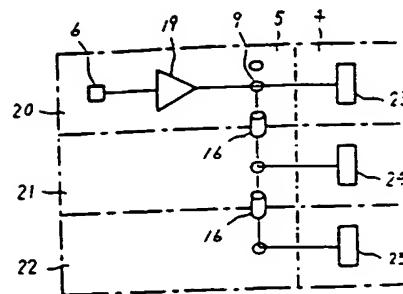
第 5 圖



17: ナップ[°] 同
論理用語-ルール

小川 滉

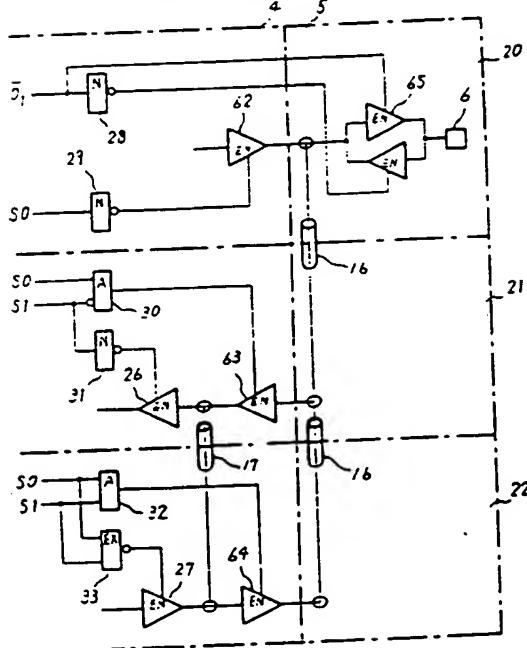
三六四



亮 7 河

S0	S1	状態
0	0	通常動作状態
0	1	第1チャップ層診断状態
1	0	第2チャップ層診断状態
1	1	第3チャップ層診断状態

高 8 四



第? 四 4 5

